

B7

985933 DE



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①2 Offenlegungsschrift
①0 DE 43 22 354 A 1

②1 Aktenzeichen: P 43 22 354.0
②2 Anmeldetag: 5. 7. 93
④3 Offenlegungstag: 13. 1. 94

⑤1 Int. Cl. 5: 08-31
H 01 L 27/06
H 01 L 23/58
H 01 L 21/72
H 01 L 21/90
H 01 L 23/535

①

DE 43 22 354 A 1

③0 Unionspriorität: ③2 ③3 ③1

06.07.92 SE 9202093

⑦1 Anmelder:

Telefonaktiebolaget L M Ericsson, Stockholm, SE

⑦4 Vertreter:

Eitle, W., Dipl.-Ing.; Hoffmann, K., Dipl.-Ing.
Dr.rer.nat.; Lehn, W., Dipl.-Ing.; Fücksle, K.,
Dipl.-Ing.; Hansen, B., Dipl.-Chem. Dr.rer.nat.;
Brauns, H., Dipl.-Chem. Dr.rer.nat.; Görg, K.,
Dipl.-Ing.; Kohlmann, K., Dipl.-Ing.; Ritter und Edler
von Fischern, B., Dipl.-Ing.; Kolb, H., Dipl.-Chem.
Dr.rer.nat., Pat.-Anwälte; Nette, A., Rechtsanw.,
81925 München

⑦2 Erfinder:

Johansson, Ted, Hägersten, SE; Gobbi, José-Maria,
Stockholm, SE

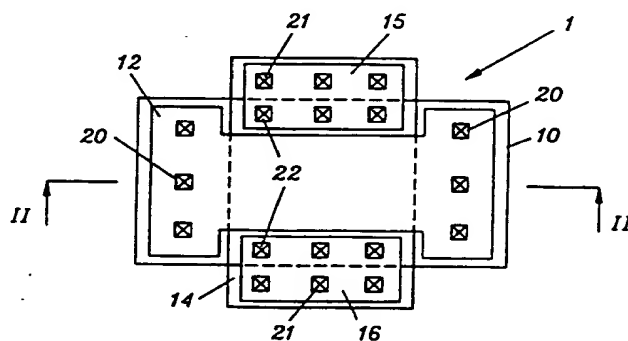
⑤4 Kondensator in einem integrierten Funktionsblock oder in einer integrierten Schaltung mit großer Kapazität;
Verfahren zur Herstellung des Kondensators; und Benutzung des Kondensators als integrierter
Entkopplungskondensator

⑤7 Die vorliegende Erfindung bezieht sich auf ein Verfahren zur leichteren Herstellung einer MOS-Kondensatorstruktur in Funktionsblocks oder in integrierten Schaltungen, ohne eine zusätzliche Siliziumoberfläche oder irgendeinen zusätzlichen Verfahrensschritt bei der Herstellung durch im wesentlichen eine Standard-MOS- oder BiCMOS-Technik zu benötigen.

Jeder Block oder jede Zelle mit Entkopplungskondensatoren unter den breiten metallischen Versorgungsleitungen versehen, ohne dazu eine eigene Siliziumoberfläche zu benötigen. Diese "vergrabenen" Kondensatoren sind unter jedem breiten Leiterpfad in oder auf einem Chip vorgesehen.

Fig. 1 zeigt auf einem Halbleitersubstrat vom Typ p⁻ oder n⁻ die durch die Linie (10) begrenzte Kondensatorstruktur (1) in Form eines H, dessen Oberfläche (12) metallisiert ist. In die Schenkelöffnungen ist jeweils eine metallisierte Oberfläche (15, 16) einer Polysiliziumschicht (14) eingefügt, die quer unter einer die Metallisierung (12) tragenden Polysiliziumschicht, isoliert durch eine Oxidschicht, verläuft. Querverbindungsöffnungen führen zu leitenden Inseln vom Typ p⁺ oder n⁺, die in die Oberfläche des Substrats implantiert sind und zu anderen Metallisierungsschichten auf anderen Niveaus führen.

Die Kapazität des so aufgebauten Kondensators ist 10-12 mal größer als die einer gemäß dem Stande der Technik hergestellten Struktur.



DE 43 22 354 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 11. 93 308 062/662

14/49

Beschreibung

Sachgebiet der Erfindung

Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung einer MOS-Kondensatorstruktur in Funktionsblocks oder in integrierten Schaltungen, und, genauer gesagt, auf ein Verfahren zur leichten Herstellung beispielsweise eines Entkopplungskondensators in einem solchen Strukturblock, ohne eine zusätzliche Siliziumoberfläche oder irgendeinen zusätzlichen Verfahrensschritt bei der Herstellung durch im wesentlichen eine Standard-MOS- oder BiCMOS-Technik zu benötigen.

Stand der Technik

Bei allgemeinen elektronischen Schaltungsanordnungen besteht unabhängig davon, ob sie unter Verwendung diskreter Komponenten und integrierter Schaltkreise (IC) in einer Leiterplattenmontage, oder als maßgeschneiderte integrierte Schaltung ausgeführt werden, die die gesamte gewünschte Funktion in einem einzelnen integrierten Plattenaufbau durchführen, die Notwendigkeit der Ausfilterung von Fluktuationen, das heißt der sogenannten dl/dt -Störungen, aus der Gleichstromversorgung. In einem integrierten IC-Chip werden Störungen im wesentlichen dann erzeugt, wenn digitale elektronische Funktionen miteinander verbunden oder entkoppelt werden. Die Verringerung der Störungen im Hochfrequenzbereich ist bei Hochfrequenzschaltungen besonders wichtig. Eine übermäßige Erzeugung von Störsignalen erfüllt die Anforderungen an den Störabstand und andere Schaltungsparameter.

Je näher die Entkopplungskondensatoren an der Störquelle, beispielsweise den Schalttransistoren, angebracht werden können, umso wirksamer ist die Entkopplung, was hauptsächlich auf eine verringerte Induktivität in Reihe mit der Entkopplungskapazität zurückzuführen ist. Bei einer Plattenmontage müssen die Entkopplungskondensatoren so dicht wie möglich an den die Störung erzeugenden IC-Schaltungen montiert werden, wobei ein direktes Plazieren der Entkopplungskondensatoren auf dem IC-Chip natürlich noch besser ist, weil die Entkopplung so dicht wie möglich an der Entstörungsquelle erfolgt und starke, von den RCL-Verbindungen durch die Bondierungen und die Bondierungsdrähte ausgehende Störungen unterdrückt und somit vermieden werden. Aufgrund der extrem niedrigen Induktivität in den Leistungsverteilungsleitungen des Chips selber verbessern die Entkopplungskondensatoren auf dem Chip auch die Frequenzcharakteristik für das Abkoppeln. Es besteht jedoch ein Problem darin, daß ein solcher integrierter Kondensator normalerweise eine Siliziumoberfläche erfordert, die relativ groß werden kann, um einen passenden Kapazitätswert für den integrierten Kondensator zu erzielen.

Die amerikanische Druckschrift US-A-3 619 735 offenbart ein Verfahren und eine integrierte Schaltung, bei der ein Entkopplungskondensator unter Bauelementen auf der Oberfläche einer integrierten Schaltung durch Schaffen einer ersten epitaktischen Schicht zwischen einem N^+ -Substrat, das eine eindiffundierte P^+ -Zone aufweist, und einer epitaktischen Schicht mit einer N^+ -Bauelement vorgesehen ist, wobei eine zur P^+ -Zone führende P^+ -Kanaldiffusion im Substrat weiter als Dämpfungswiderstand in Kombination mit der

Kopplungskapazität dient. Das Verfahren erfordert jedoch zusätzliche Verfahrensschritte bei der Herstellung der Kapazität.

Der Entkopplungskondensator kann auch durch Verteilen von Kondensatoren im Träger des Chips in der integrierten Schaltung geschaffen werden, was beispielsweise in den Druckschriften EP-A2-0 262 493 und EP-A1-0 268 260 offenbart ist, oder in einer LSI-Schaltung, gemäß der Druckschrift EP-A2-0 083 405. Dies bedeutet jedoch unter anderem, daß spezielle Schritte bei der Herstellung des IC-Chips durchgeführt werden müssen.

Das Verfahren zum Entwerfen von anwendungsspezifischen integrierten Schaltungen, auch AISC (Application Specific Integrated Circuit), besteht in der Verwendung vordefinierter Baublöcke oder Standardzellen in einer Bibliothek. Die Integration von Entkopplungskondensatoren in einen solchen Block oder in eine solche Zelle stellt die wirksamste Entkopplungsmethode dar, da die Störsignale unmittelbar an der Quelle unterdrückt werden. Auch muß der Entwerfer das Abkoppeln nicht besonders in seine Überlegungen einbeziehen, wenn Zellen oder Blöcke einer solchen Bibliothek verwendet werden.

Das Hinzufügen solcher Entkopplungsschaltungselemente verbraucht jedoch üblicherweise teure Siliziumoberfläche. Falls der Entkopplungskondensator dicht an der Störquelle angebracht wird, kann der Kondensator bis zu einem entsprechenden Grade kleiner gemacht werden, da die Entkopplung wirksamer ist und kleinere Kondensatoren weniger Siliziumoberfläche bedeuten.

Die Verlegung der Versorgungsleitungen und der Erdanschlüsse wird normalerweise durch Benutzen von Metallierungsleitungen hergestellt, die breiter als ihre entsprechenden Signalleitungen sind. Dies gilt besonders für mit Hochfrequenz betriebene IC-Schaltungen. Die Versorgungsleitungen werden im Herstellungsverfahren gewöhnlich auf einem bestimmten Metallisierungsniveau hergestellt, wobei die Schichten üblicherweise mit "m" plus einer Ziffer zur Bezeichnung des Niveaus gekennzeichnet werden, wie etwa m2 (oder m3), falls vorhanden). Vorzugsweise werden zu diesem Zweck beispielsweise m2 oder m3 wegen der höheren Leitfähigkeit der höheren Metallisierungsschichten benutzt. Die Schicht m1 sowie dotierte Halbleiterschichten werden für die örtliche Querverbindung und für die Definition von Bauelementen benutzt. Die Schichten dieser unteren Niveaus können in Bereichen verwendet werden, die völlig von der Metallisation der m2- oder m3-Schichten bedeckt sind. Queranschlüsse jeweils zwischen den Schichten m1 und m2 sowie m2 und m3 können dann ohne Benutzung einer zusätzlichen Oberfläche hergestellt werden.

Kondensatoren hoher Qualität mit niedrigen Werten können einerseits als Metall-Metall-Kondensatoren konzipiert werden, beispielsweise zwischen m1 und m2, und andererseits können sie in einem CMOS- oder einem BeCMOS-Herstellungsverfahren unter Anwendung entweder einer MOS-Struktur (Diffusion, polykristallines Silizium, m1 für Anschlüsse), oder als Sperrspannungs-pn-Übergang (Diffusion, m1 für Anschlüsse) entworfen werden.

Beschreibung der Erfindung

Gemäß der vorliegenden Erfindung ist jeder Block oder jede Zelle mit Kondensatoren für Entkopplungszwecke unter den breiten metallischen Versorgungslei-

tungen (beispielsweise Vcc GND) versehen, ohne dazu eine eigene Siliziumoberfläche zu benötigen. Diese "vergrabenen" Kondensatoren (Underground Capacitors) sind unter jedem breiten Leiterpfad in oder auf einem Chip vorgesehen. Sie bestehen beispielsweise aus Halbleitermaterial und werden durch eine wohlbekannte, praktizierte Prozeßtechnik mit dem gleichen Stufenprozeß erhalten, wie dies beispielsweise bei der Schaffung von herkömmlichen CMOS-Komponenten oder von bipolaren Komponenten, etwa Transistoren, geschieht.

Gemäß dem Verfahren der vorliegenden Erfindung wird der Entkopplungskondensator unterhalb eines breiten Versorgungsleiters auf einem IC-Chip unter Benutzung der bestehenden Standardschritte des Herstellungsprozesses für das IC-Chip hergestellt, und zwar wie folgt:

Aufbringen einer Schicht, beispielsweise aus Polysilizium, die leitend gemacht ist und auf einer dünnen Schicht aus Gateoxid auf einem p⁺-Substrat (bzw. n⁺-Substrat), wobei die Polysiliziumschicht gleichzeitig eine Schutzschicht für das dünne Gateoxid bildet und der Polysiliziumfläche in einer ersten Ausdehnungsrichtung eine Ausdehnung gegeben ist, die größer als die darunterliegende Schicht ist, welche aus der dünnen Gateoxidschicht besteht, wodurch mindestens eine Oberfläche aus Gateoxid gebildet und in einer zweiten Ausdehnungsrichtung durch die leitende Schicht, beispielsweise aus Polysilizium, und durch ein dickes Feldoxid begrenzt wird, wobei die Oberfläche (33) des Gateoxids nicht durch die leitende Schicht, beispielsweise aus Polysilizium, geschützt ist;

Herstellen einer p⁺-dotierten (bzw. n⁺-dotierten) Insel im p⁺-Substrat (n⁺-Substrat) durch Implantieren der gebildeten Oberfläche aus Gateoxid, die nicht durch die leitende Schicht geschützt ist;

Aufbringen einer Isolierschicht, die für das Auftragen eines Oxids geeignet ist, in der durch Maskieren und Ätzen eine erste Vielzahl von Querverbindungsöffnungen für die Querverbindung mit der gebildeten p⁺-dotierten (bzw. n⁺-dotierten) Substratinsel, und eine zweite Vielzahl von Querverbindungsöffnungen zur leitenden Schicht, beispielsweise aus Polysilizium, an den Enden der ersten leitenden Schicht in der ersten Ausdehnungsrichtung geschaffen werden, wobei die zweite Vielzahl der Querverbindungsöffnungen in einer Fläche plaziert ist, die nicht das darunterliegende dünne Gateoxid bedeckt;

Aufbringen einer ersten Metallisierungsfläche (12), die an die p⁺-dotierte (bzw. n⁺-dotierte) Substratinsel auf einem ersten Metallisierungsniveau m1 durch die erste Vielzahl der Querverbindungsöffnungen angeschlossen ist, und mindestens einer zweiten Metallisierungsfläche, die an die leitende Schicht, beispielsweise aus Polysilizium, angeschlossen ist;

wodurch eine Kondensatorstruktur hoher Kapazität geschaffen wird, wobei die Kondensatorstruktur beispielsweise zum Abkoppeln an eine positive Spannungsquelle am Ende durch zusätzliches Anschließen an die beiden so gebildeten Metallisierungsflächen des ersten Metallisierungsniveaus m1 geeignet ist, dessen erste Metallisierungsfläche und dessen zweite Metallisierungsflächen jeweils einem zugehörigen Kondensatoranschluß entsprechen, wobei die Kondensatorstruktur durch zusätzliche Standardprozeßschritte mit Hilfe beispielsweise eines nachfolgenden Metallisierungsniveaus m2 an den gewünschten Abschnitt des Funktionsblockes oder der integrierten Schaltung angeschlossen sind.

Auf diese Weise wird der Kondensator unter Benut-

zung der gleichen Technik hergestellt, wie sie herkömmlicherweise zur Erzeugung von CMOS-Elementen oder bipolaren Elementen auf dem Chip und weiter auf dem unter einem breiten Metallisierungsleiter für Versorgungsspannungen oder einem Erdungsanschluß angebrachten Chip benutzt wird, wodurch eine eigene Siliziumoberfläche überflüssig wird.

Der so hergestellte Kondensator erzeugt eine große Kapazität mit einer hohen Isolierspannung in bezug auf die Oberfläche, und zwar durch Benutzung einer dünnen Oxidschicht als Isolator in der Kondensatorstruktur, wobei dies vorzugsweise durch eine Gateoxidschicht von 200–300 Å Dicke erzielt wird, was eine Struktur schafft, die mit Ausnahme der Dotierung der Substratinsel derjenigen eines MOS-Transistors entspricht.

Weiter wird gemäß der Erfindung der inhärente Widerstand der Kondensatorstruktur auf diese Weise sehr niedrig gehalten, einerseits durch eine erste metallisierte Querverbindungsfläche mit einer Vielzahl von Querverbindungsöffnungen zur p⁺-dotierten (bzw. n⁺-dotierten) Substratinsel, und andererseits durch eine erweiterte zweite metallisierte Querverbindungsfläche mit einer Vielzahl von Querverbindungsöffnungen zur ersten leitenden Schicht, beispielsweise aus Polysilizium, hin, wobei die zweite Oberfläche der Metallisierung für die Querverbindung zur ersten leitenden Schicht, beispielsweise aus Polysilizium, nicht auf der Fläche plaziert ist, die das dünne Gateoxid unter der leitenden Schicht, beispielsweise aus Polysilizium, enthält. Hierdurch werden in der Kondensatorstruktur optimale niedrige Widerstände geschaffen, was für Hochfrequenzanwendungen, insbesondere für Anwendungsgebiete im Ultrahochfrequenzbereich (UHF) wesentlich ist, um niedrige Zeitkonstanten durch Abkoppeln mit Hilfe der Kapazität des Kondensators, und des so geschaffenen RC-Netzwerks durch dessen inhärente Versorgungswiderstände zu erzielen.

Weiter sind gemäß dem Verfahren der vorliegenden Erfindung die Entkopplungskondensatoren in jedem Baublock oder in jeder Standardzelle in eine Zellenbibliothek integriert, was den Entkopplungswirkungsgrad für Hochfrequenzstörungen steigert und die Rüstzeit für eine gewünschte Funktion beim Aufbau verringert und weiter die gesamte Schaltungscharakteristik der endgültigen Schaltungsfunktion verbessert.

Sollte ein zusätzlicher eingebauter Dämpfungswiderstand im Entkopplungskondensator benötigt werden, ermöglicht das Verfahren gemäß der vorliegenden Erfindung weiter eine Vergrößerung des Anschlußwiderstandes durch einfaches Integrieren eines zusätzlichen Widerstandes oder durch Verringern der erweiterten Querverbindungsfläche zur ersten leitenden Schicht, beispielsweise aus Polysilizium, und zur p⁺-dotierten (bzw. n⁺-dotierten) Substratinsel, und damit eine entsprechend verringerte Anzahl von Querverbindungsöffnungen.

Weiter ermöglicht es das Verfahren gemäß der vorliegenden Erfindung, beispielsweise Bondingoberflächen zu benutzen, um Entkopplungskondensatoren zu schaffen, vorausgesetzt, daß der unter dem Bondingchip liegenden Fläche eine Dicke/Stärke erteilt wird, die ausreicht, daß der gemäß der vorliegenden Erfindung hergestellte Entkopplungskondensator den Beanspruchungen während des Bondingprozesses an sich standhalten kann.

Beschreibung der Zeichnungen

Nachfolgend wird die Erfindung durch bevorzugte Ausführungsformen und mit Hilfe der beigefügten Zeichnungen beschrieben.

Fig. 1 zeigt die Draufsicht einer Kondensatorstruktur auf einem Halbleitersubstrat gemäß der vorliegenden Erfindung;

Fig. 2 zeigt einen Längsschnitt durch die Kondensatorstruktur der Fig. 1 entlang der Linie II-II; und

Fig. 3 zeigt ein Diagramm der Veranschaulichung der Spannungs-/Kapazitätskennlinie eines Kondensators mit MOS-Struktur gemäß der Fig. 2, wobei das Substrat an Erde gelegt ist.

Verkörperung der Erfindung

Von oben gesehen zeigt Fig. 1 ein Halbleitersubstrat mit einer Kondensatorstruktur, die allgemein mit 1 bezeichnet ist. Weiter wird die Kondensatorstruktur im allgemeinen relativ zu anderen Substratelementen durch eine "LOCOS"-Maske (oder im Falle des benutzten Prozesses auch "MOAT") begrenzt, was schematisch durch die mit 10 bezeichnete Begrenzungslinie wiedergegeben ist und die durch dickes Feldoxid begrenzte Komponentenfläche definiert. Weiter ist eine Schicht 14 aus einem hochgradig leitend gemachten Material, wie etwa Polysilizium, vorgesehen. Drei Metallisierungsflächen 12, 15 und 16, die jeweils mit Querverbindungsöffnungen 20, 21 und 22 versehen sind, sind auf dem ersten Metallisierungsniveau m1, vom Substrat aus gezählt, angebracht.

Fig. 2 zeigt einen Querschnitt der Kondensatorstruktur der Fig. 1 in einer Ebene, die senkrecht zur Ebene der Fig. 1 entlang der Schnittlinie II-II verläuft. In erster Linie zeigt der Querschnitt der Fig. 2 das p- oder n-Halbleitersubstrat 30, in den Oberflächen 33 mit implantierten Gebieten 32 des p-Typs (bzw. n-Typs) vorhanden sind. Mittig zwischen den implantierten leitenden Inseln 32 befindet sich eine dünne Gateoxidschicht 41 als Isolierschicht zwischen dem Substrat 30 und einer leitenden Schicht 14, beispielsweise aus Polysilizium. Bei der dargestellten Ausführungsform hat die dünne Gateoxidschicht 41 eine Dicke von 200–300 Å, während die leitende Schicht, beispielsweise aus Polysilizium, 2500–5000 Å dick ist. Weiter beträgt bei dieser Ausführungsform der Abstand zwischen den implantierten Inseln 32 mindestens 0,5 µm, vorzugsweise 0,8 µm. Die Kondensatorstruktur ist gegen die auf dem Substrat 30 integrierten Komponenten gemäß der herkömmlichen Technik durch ein dickes Feldoxid 40 abgegrenzt, das die sogenannte LOCOS-Maske bildet, die im vorliegenden Falle eine Dicke von 5000 bis 6000 Å besitzt. Weiter ist auf der Struktur eine Oxidschicht 45 aufgebracht, in die Querverbindungsöffnungen 20 eingätzt worden sind, um den Anschluß zu den geschaffenen implantierten leitenden Inseln 32 zu bilden. Eine Metallisierungsschicht (die in Fig. 1 die Metallisierungsfläche 12 bildet), die durch die Querverbindungsöffnung 20 mit den leitenden Oberflächen 33 in Verbindung steht, liegt über der Oxidschicht 45 auf dem Metallisierungsniveau m1.

Die leitende Schicht 14, beispielsweise aus Polysilizium, wird entsprechend durch Querverbindungsöffnungen 21 jeweils mit den Metallisierungsflächen 15 und 16 auf dem Metallisierungsniveau m1 in Kontakt gebracht. Diese Metallisierungsöffnungen 21 sind in Längsrichtung der leitenden Schicht 14 (Fig. 1) in der Weise platziert, daß sie in dem Gebiet platziert sind, unter dem die

dünne Gateoxidschicht 41 angebracht ist. Auf diese Weise ist garantiert, daß die dünne Schicht unbeschädigt bleibt, wenn Querverbindungsöffnungen in den Flächen 15 und 16 auf dem Metallisierungsniveau m1 zum Anschluß der leitenden Schicht, beispielsweise aus Polysilizium, geschaffen werden. Wie Fig. 1 weiter zeigt, besitzt die Metallisierungsfläche 12 die Gestalt eines H, wobei die Schenkel des H durch die Querverbindungsöffnungen 20 an die implantierten leitenden Inseln 32 angeschlossen sind. Im vorliegenden Falle sind die Metallisierungsflächen 15 und 16 jeweils so angeordnet, daß sie in freie, durch die H-Form der Metallisierungsflächen 12 geschaffene Oberflächenbereiche eindringen, wobei die Metallisierungsflächen 15, 16 eine zusätzliche Anzahl von Querverbindungsweegen 22 für weitere Anschlüsse, beispielsweise zu einer Metallisierungsschicht in Höhe beispielsweise des Metallisierungsniveaus m2 für den Anschluß des hergestellten Kondensators bieten. Die Querverbindungswege 22 liegen hier vorzugsweise innerhalb der dünnen Gateoxidschicht, da an dieser Stelle zusätzlicher Schutz in Gestalt der Oxidschicht 45 über der leitenden Schicht 14 in dem dünnen Gateoxid 41 geschaffen wird. Dies bedeutet, daß von der Siliziumoberfläche ein maximaler Gebrauch gemacht wird. Bei der vorliegenden Ausführungsform ist das gesamte Bauelement unterhalb beispielsweise einer breiten Spannungsversorgungsleitung oder einem Masseanschluß angeordnet, oder auch unterhalb eines Bondierungsflecks, wo dies zweckmäßig ist.

Aufgrund der dünnen Gateoxidschicht wird ein Kondensator mit einer Kapazität geschaffen, die 10–20mal größer als diejenige eines gemäß dem Stande der Technik hergestellten Kondensators ist. Die Kapazität besitzt ungefähr die gleiche Größe wie im Falle eines in Sperrichtung polarisierten p/n-Übergangs, bietet jedoch eine überlegene Durchbruchcharakteristik, das heißt Hochspannungsfestigkeit. Der Aufbau des Kondensators gemäß der Erfindung liefert eine Struktur, die im wesentlichen derjenigen einer CMOS-Komponente in Form eines Transistors gleicht, mit dem einzigen Unterschied, daß die implantierte leitende Substratinself 32 eine andere Eigenschaft besitzt. Die Benutzung eines p-Implantats in einem p-Substrat schafft einen Kondensator, der für das Abkoppeln positiver Spannungen an Erde geeignet ist, während in entsprechender Weise das n-Implantat in einem n-Substratabschnitt einen Kondensator zum Abkoppeln einer negativen Spannung an Erde liefert.

Fig. 3 zeigt ein Diagramm der Kapazität als Funktion der an der dünnen Gateoxidschicht in einer NMOS-Struktur, also am p-Substrat, liegenden Spannung (also dem entsprechenden Signal an der Gate-Elektrode bei geerdetem Substrat). Daraus geht hervor, daß sich die Kapazität in Abhängigkeit davon ändert, ob die parallel an der dünnen Gateoxidschicht angelegte Spannung ein positives HF-Signal oder ein NF-Signal ist, wobei eine gleich große und konstante Kapazität sowohl für Hochfrequenz als auch für Niederfrequenz erzielt wird und der Arbeitspunkt auf der negativen Seite bei Pfeil A liegt. Anders ausgedrückt ist damit der Kondensator auch zum Entkoppeln geeignet, wenn er in Rückwärtsrichtung vorgespannt ist. In entsprechender Weise wird in einer PMOS-Struktur, das heißt, einem n-Substrat, ein Kondensator, der positiv vorgespannt wird und damit zum Abkoppeln einer positiven Spannung geeignet ist, geschaffen.

Das Herstellungsverfahren läuft im wesentlichen unter Benutzung bekannter Techniken ab, wodurch an-

fangs ein Gateoxid beispielsweise in einer Dicke von 5000 bis 6000 Å hergestellt wird, beispielsweise durch einen sogenannten LOCOS-Prozeß außerhalb der zur Schaffung des Kondensators und der implantierten Substratkontakte vorgesehenen Fläche. Dann wird eine leitende Schicht, beispielsweise aus Polysilizium, durch Ätzen mit einer herkömmlichen Fotolackmaske (oder einer alternativen Maskentechnik) so aufgebracht, daß sie nicht das Gateoxid im Bereich 32 vollständig bedeckt. Danach kann in den Bereichen 32 eine Implantierung zur Schaffung eines p⁺-Gebiets (bzw. n⁺-Gebiets) im p⁻-Substrat (bzw. n⁻-Substrat) erfolgen.

Daraufhin wird die Oxidschicht 45 hergestellt, und Querverbindungsöffnungen 20 und 21 werden durch die herkömmliche Technik ausgeätzt, woraufhin die Metallisierungsflächen 12, 15 und 16 in herkömmlicher Weise auf dem Metallisierungsniveau m1 geschaffen werden. Dem folgt das Aufbringen der weiteren Isolierschicht 45, die mit Querverbindungsöffnungen 20 und 21 für den Anschluß an andere Komponenten des Kondensators versehen ist, wobei die Öffnungen durch beispielsweise die nächste Metallisierungsschicht in herkömmlicher Weise hergestellt werden. Bei der zum Schluß durchgeführten Metallisierung der Versorgungsleitungen oder der Bondingchips, beispielsweise auf dem Metallisierungsniveau m3, werden diese über gegebenenfalls gemäß der vorliegenden Erfindung hergestellte Kondensatoren verlegt.

Patentansprüche

1. Kondensator mit einer relativ großen Kapazität zur Verwendung in einem integrierten Funktionsblock oder einer integrierten Schaltung, dadurch gekennzeichnet, daß er eine unbesetzte Siliziumoberfläche benutzt, die beispielsweise unter den Versorgungsleitungen oder Wasseranschlüssen oder einem Bondierungsfleck liegt; und weiter gekennzeichnet durch eine Schicht (14), beispielsweise aus Polysilizium, die leitend gemacht ist und auf einer dünnen Schicht aus Gateoxid (41) auf einem p⁻- oder einem n⁻-Substrat (30) aufgebracht ist, wobei die Polysiliziumsschicht gleichzeitig eine Schutzschicht für das dünne Gateoxid bildet und der Polysiliziumfläche in einer ersten Ausdehnungsrichtung eine Ausdehnung gegeben ist, die größer als die darunterliegende Schicht ist, welche aus der dünnen Gateoxidschicht besteht, wodurch mindestens eine Oberfläche (33) aus Gateoxid gebildet und in einer zweiten Ausdehnungsrichtung durch die leitende Schicht (14), beispielsweise aus Polysilizium, und durch ein dickes Feldoxid (40) begrenzt wird, wobei die Oberfläche (33) des Gateoxids nicht durch die leitende Schicht (14), beispielsweise aus Polysilizium, geschützt ist; eine p⁺-dotierte Insel (32) im p⁻-Substrat (30), oder eine n⁺-dotierte Insel (32) im n⁻-Substrat (30), die durch Implantieren einer geeigneten Substanz in die Oberfläche (33) des Gateoxids gebildet ist, das nicht durch die leitende Schicht (14) geschützt ist; eine Isolierschicht (45), die vorzugsweise durch Aufbringen eines Oxids gebildet wird, und in der durch Maskieren und Ätzen eine erste Vielzahl von Querverbindungsöffnungen (21) für die Querverbindung mit der dotierten Substratinsel, und eine zweite Vielzahl von Querverbindungsöffnungen (21) zur leitenden Schicht, beispielsweise aus Poly-

silizium, an den Enden der leitenden Schicht in der ersten Erstreckungsrichtung geschaffen wird, wobei die zweite Vielzahl der Querverbindungsöffnungen in einer Fläche plaziert ist, die nicht das darunterliegende dünne Gateoxid (41) bedeckt; ein erstes Metallisierungsniveau m1, das teilweise aus einer ersten Metallisierungsfläche (12) besteht, die an die dotierte Substratinsel (32) über die erste Vielzahl der Querverbindungsöffnungen (20) angeschlossen ist, und die teilweise aus mindestens einer zweiten Metallisierungsfläche (15, 16) besteht, die an die leitende Schicht (14), beispielsweise aus Polysilizium, durch die zweite Vielzahl von Querverbindungsöffnungen (21) angeschlossen ist; wodurch eine Kondensatorstruktur relativ großer Kapazität geschaffen wird, und wobei die Kondensatorstruktur beispielsweise zum Entkoppeln durch Anschließen an die beiden gebildeten Metallisierungsflächen auf dem ersten Metallisierungsniveau m1 geeignet ist, wobei die erste Metallisierungsfläche (12) und die zweite Metallisierungsfläche (15, 16) jeweils einem Kondensatoranschlußende entsprechen, und die Kondensatorstruktur durch zusätzliche standardisierte Prozeßschritte mit Hilfe beispielsweise eines nachfolgenden Metallisierungsniveaus m2 an den gewünschten Abschnitt des Funktionsblockes oder der integrierten Schaltung angeschlossen werden.

2. Kondensator nach Anspruch 1, dadurch gekennzeichnet, daß die Isolation zwischen den leitenden Flächen, die die beiden Elektroden des Kondensators bilden, eine dünne Gateoxidschicht (41) mit einer Dicke von vorzugsweise 200–300 Å ist.

3. Kondensator nach Anspruch 2, dadurch gekennzeichnet, daß der Abschluß des Kondensators durch die Vielzahl der Querverbindungsöffnungen (20) von der ersten Metallisierungsfläche (12) zur implantierten Substratinsel (32), und durch die Vielzahl der Querverbindungsöffnungen (21) von der zweiten Metallisierungsfläche (15, 16) zur leitenden Schicht (14), beispielsweise aus Polysilizium, und durch weitere Querverbindungswege (22) von den metallisierten Flächen (12, 15, 16) des ersten Metallisierungsniveaus m1 zu höheren Metallisierungsniveaus gelegt ist.

4. Kondensator nach Anspruch 3, dadurch gekennzeichnet, daß die erste Metallisierungsfläche (12) auf dem ersten Metallisierungsniveau m1, das an mindestens eine implantierte Substratinsel (32) angeschlossen ist, so angelegt ist, daß sie im wesentlichen die gesamte Kondensatorstruktur bedeckt, die durch das dicke Feldoxidgebiet (40) definiert ist.

5. Kondensator nach Anspruch 4, dadurch gekennzeichnet, daß die erste Metallisierungsfläche (12) des ersten Metallisierungsniveaus m1 vorzugsweise in H-Form ausgebildet ist (Fig. 1), wobei der Anschluß jeder der Schenkel des H durch die erste Vielzahl der Zwischenverbindungsöffnungen (20) an eine entsprechende implantierte Substratinsel (32) entlang der ersten Ausdehnungsrichtung der leitenden Schicht (14), beispielsweise aus Polysilizium, läuft, während die zweiten Metallisierungsflächen (15, 16) des gleichen Metallisierungsniveaus m1 die Fläche zwischen den Schenkeln des H (Fig. 1) ausfüllen, nachdem sie quer an die leitende Schicht (14), beispielsweise aus Polysilizium, entlang der zweiten Ausdehnungsrichtung durch die zweite Vielzahl der Zwischenverbindungsöffnungen

gen (21) außerhalb der Fläche des darunterliegenden dünnen Gateoxids (41) angeschlossen sind, und wobei eine dritte Vielzahl der Zwischenverbindungswege (22) an höhere Metallisierungsniveaus über der Ebene des darunterliegenden Gateoxids (41) liegen, um den Raum maximal zu nutzen, der beispielsweise unter einer Versorgungsleitung oder einem Masseanschluß im Funktionsblock oder in der integrierten Schaltung liegt.

6. Verfahren zum Aufbauen eines integrierten Kondensators mit einer relativ großen Kapazität in einem integrierten Funktionsblock oder einer integrierten Schaltung, gekennzeichnet durch:

Benutzung einer unbesetzten Siliziumoberfläche, die beispielsweise unter den Versorgungsleitungen oder Masseanschlüssen oder einem Bondierungsfleck liegt, und zwar durch folgende Prozeßschritte: Aufbringen einer Schicht (14), beispielsweise aus Polysilizium, die leitend gemacht ist und auf einer dünnen Schicht aus Gateoxid (41) auf einem p⁺-Substrat, wobei die Polysiliziumschicht gleichzeitig eine Schutzschicht für das dünne Gateoxid bildet und der Polysiliziumfläche in einer ersten Ausdehnungsrichtung eine Ausdehnung gegeben ist, die größer als die darunterliegende Schicht ist, welche aus der dünnen Gateoxidschicht besteht, wodurch mindestens eine Oberfläche (33) aus Gateoxid gebildet und in einer zweiten Ausdehnungsrichtung durch die leitende Schicht (14), beispielsweise aus Polysilizium, und durch ein dickes Feldoxid (40) begrenzt wird, wobei die Oberfläche (33) des Gateoxids nicht durch die leitende Schicht (14), beispielsweise aus Polysilizium, geschützt ist;

Herstellen einer p⁺-dotierten Insel (32) im p⁻-Substrat (30) durch Implantieren von Gateoxid in der gebildeten Oberfläche (33), die nicht durch die leitende Schicht (14) geschützt ist;

Aufbringen einer Isolierschicht (45), die für das Auftragen eines Oxids geeignet ist, in der durch Maskieren und Ätzen eine erste Vielzahl von Querverbindungsöffnungen (20) für die Querverbindung mit der gebildeten p⁺-dotierten Substratinsel, und eine zweite Vielzahl von Querverbindungsöffnungen (21) zur leitenden Schicht, beispielsweise aus Polysilizium, an den Enden der ersten leitenden Schicht in der ersten Ausdehnungsrichtung geschaffen werden, wobei die zweite Vielzahl der Querverbindungsöffnungen in einer Fläche plaziert ist, die nicht das darunterliegende dünne Gateoxid (41) bedeckt;

Aufbringen einer ersten Metallisierungsfläche (12) auf einem ersten Metallisierungsniveau m1, die an die p⁺-dotierte Substratinsel (32) durch die erste Vielzahl der Querverbindungsöffnungen angeschlossen ist, und mindestens einer zweiten Metallisierungsfläche (15, 16), die an die leitende Schicht (14), beispielsweise aus Polysilizium, angeschlossen ist;

wodurch eine Kondensatorstruktur hoher Kapazität geschaffen wird, wobei die Kondensatorstruktur beispielsweise zum Abkoppeln an einer positiven Spannungsquelle an Erde durch zusätzliches Anschließen an die beiden so gebildeten Metallisierungsflächen des ersten Metallisierungsniveaus m1 geeignet ist, dessen erste Metallisierungsfläche (12) und dessen zweite Metallisierungsflächen (15, 16) jeweils einem zugehörigen Kondensatoranschluß entsprechen, wobei die Kondensatorstruktur durch

zusätzliche Standardprozeßschritte mit Hilfe beispielsweise eines nachfolgenden Metallisierungsniveaus m2 an den gewünschten Abschnitt des Funktionsblockes oder der integrierten Schaltung angeschlossen sind.

7. Verfahren zum Aufbauen eines integrierten Kondensators mit einer relativ großen Kapazität in einem integrierten Funktionsblock oder einer integrierten Schaltung, gekennzeichnet durch:

Benutzen einer unbesetzten Siliziumoberfläche, die beispielsweise unter den Versorgungsleitungen oder Masseanschlüssen oder einem Bondierungsfleck liegt, und zwar durch folgende Prozeßschritte: Aufbringen einer Schicht (14), beispielsweise aus Polysilizium, die leitend gemacht ist, auf einer dünnen Schicht aus Gateoxid (41) auf einem n⁻-Substrat, wobei die Polysiliziumschicht gleichzeitig eine Schutzschicht für das dünne Gateoxid bildet und der Polysiliziumfläche in einer ersten Ausdehnungsrichtung eine Ausdehnung gegeben ist, die größer als die darunterliegende Schicht ist, welche aus der dünnen Gateoxidschicht besteht, wodurch mindestens eine Oberfläche (33) aus Gateoxid gebildet und in einer zweiten Ausdehnungsrichtung durch die leitende Schicht (14), beispielsweise aus Polysilizium, und durch ein dickes Feldoxid (40) begrenzt wird, wobei die Oberfläche (33) des Gateoxids nicht durch die leitende Schicht (14), beispielsweise aus Polysilizium, geschützt ist;

Herstellen einer n⁺-dotierten Insel (32) im n⁻-Substrat (30) durch Implantieren von Gateoxid in der gebildeten Oberfläche (33), die nicht durch die leitende Schicht (14) geschützt ist;

Aufbringen einer Isolierschicht (45), die für das Auftragen eines Oxids geeignet ist, in der durch Maskieren und Ätzen eine erste Vielzahl von Querverbindungsöffnungen (20) für die Querverbindung mit der gebildeten n⁺-dotierten Substratinsel, und eine zweite Vielzahl von Querverbindungsöffnungen (21) zur leitenden Schicht, beispielsweise aus Polysilizium, an den Enden der ersten leitenden Schicht in der ersten Ausdehnungsrichtung geschaffen werden, wobei die zweite Vielzahl der Querverbindungsöffnungen in einer Fläche plaziert ist, die nicht das darunter liegende dünne Gateoxid (41) bedeckt;

Aufbringen auf einer ersten Metallisierungsfläche (12) einem ersten Metallisierungsniveau m1, die an die n⁺-dotierte Substratinsel (32) durch die erste Vielzahl der Querverbindungsöffnungen angeschlossen ist, und mindestens einer zweiten Metallisierungsfläche (15, 16), die an die leitende Schicht (14), beispielsweise aus Polysilizium, angeschlossen ist;

wodurch eine Kondensatorstruktur hoher Kapazität geschaffen wird, wobei die Kondensatorstruktur beispielsweise zum Abkoppeln einer negativen Spannungsquelle an Masse durch zusätzliches Anschließen an die beiden so gebildeten Metallisierungsflächen des ersten Metallisierungsniveaus m1 geeignet ist, dessen erste Metallisierungsfläche (12) und dessen zweite Metallisierungsflächen (15, 16) jeweils einem zugehörigen Kondensatoranschluß entsprechen, wobei die Kondensatorstruktur durch zusätzliche Standardprozeßschritte mit Hilfe beispielsweise eines nachfolgenden Metallisierungsniveaus m2 an den gewünschten Abschnitt des Funktionsblockes oder der integrierten Schaltung ange-

geschlossen sind.

8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß der so geschaffene Kondensator durch die Verwendung einer dünnen Oxidschicht als Isolator in der Kondensatorstruktur eine große Kapazität mit einer hohen Isolierspannung im Vergleich zur Oberfläche besitzt, wobei dies vorzugsweise in Form einer Gateoxidschicht (41) mit einer Stärke von 200 bis 300 Å erreicht wird, was eine Struktur schafft, die mit Ausnahme der Dotierung der Substratinsel (32) derjenigen eines MOS-Transistors entspricht.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der geschaffene Kondensator im wesentlichen aus einer reinen Kapazität mit einem kleinen Widerstandsdämpfungsbeitrag besteht, und zwar aufgrund der Tatsache, daß die Querverbindung durch die erste Vielzahl der Querverbindungsöffnungen (20) zur implantierten Substratinsel (32) sowie durch die zweite Vielzahl der Querverbindungsöffnungen (21) zur leitenden Schicht (14), beispielsweise aus Polysilizium, erreicht wird, so daß ein wirkungsvoller Kondensator mit einem hohen Blindanteil im Verhältnis zu seinem Wirkanteil geschaffen wird, der besonders zum Abkoppeln und bei hohen Frequenzen geeignet ist.

10. Verfahren nach einem beliebigen Anspruch 6 bis 9, dadurch gekennzeichnet, daß die erste Metallisierungsfläche (12), die an mindestens eine implantierte Substratinsel angeschlossen ist, so ausgelegt ist, daß sie im wesentlichen die Kondensatorstruktur bedeckt, die durch das dicke umgebende Feldoxid (40) definiert ist.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß weiter Querverbindungen der zweiten Metallisierungsflächen (15, 16) durch eine dritte Vielzahl von Querverbindungswegen (22) zu höheren Metallisierungsniveaus über Gebiete (41) mit darunterliegendem dünnen Gateoxid angelegt sind.

12. Benutzung eines Kondensators gemäß einem beliebigen Anspruch 1 bis 5, dadurch gekennzeichnet, daß mindestens ein solcher Entkopplungskondensator in jeden Baublock oder in jede Standardzelle einer Zellenbibliothek integriert ist, um die Entkopplungswirksamkeit in bezug auf Hochfrequenzstörungen zu steigern und die Rüstzeit für eine gewünschte Funktion beim Entwurf zu verringern, wie auch eine Verbesserung der gesamten Schaltungscharakteristik der endgültigen Schaltungsfunktion zu erzielen.

Hierzu 1 Seite(n) Zeichnungen

55

60

65

This Page Blank (uspto)

This Page Blank (uspto)

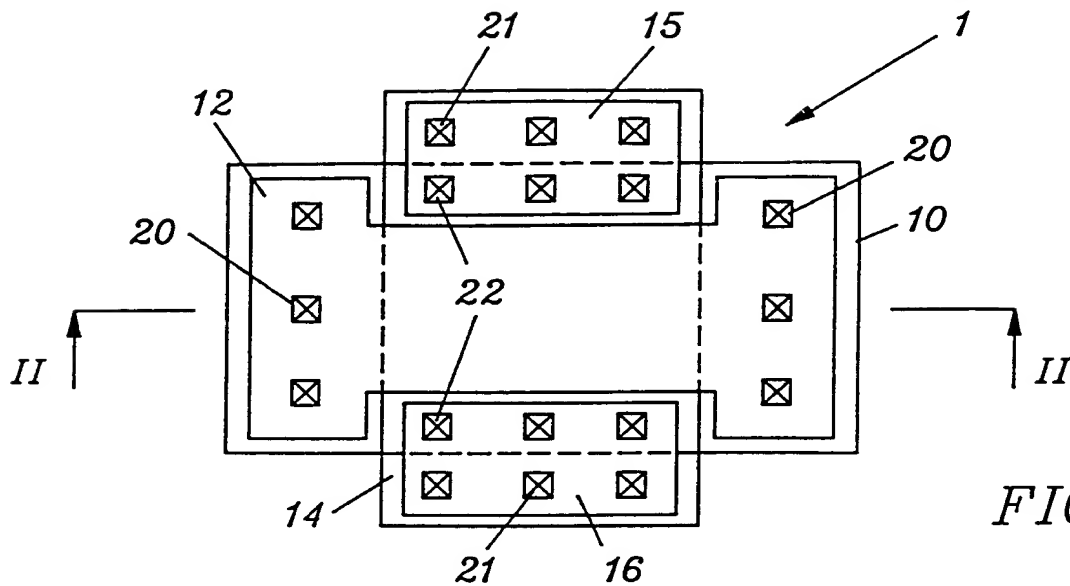
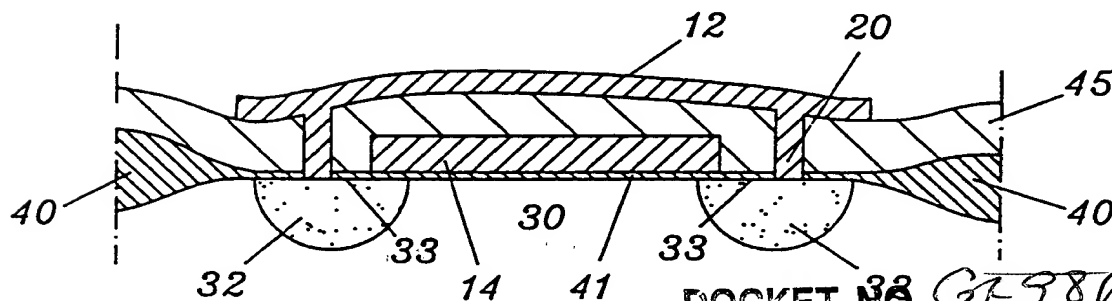


FIG 1



DOCKET NO. GA 9805933

SERIAL NO. _____

APPLICANT: Eric Green

LEFFLER AND GREENBERG, P.A.

P.O. BOX 2480

LAKE WOOD, FLORIDA 33020

TEL. (304) 925-1100

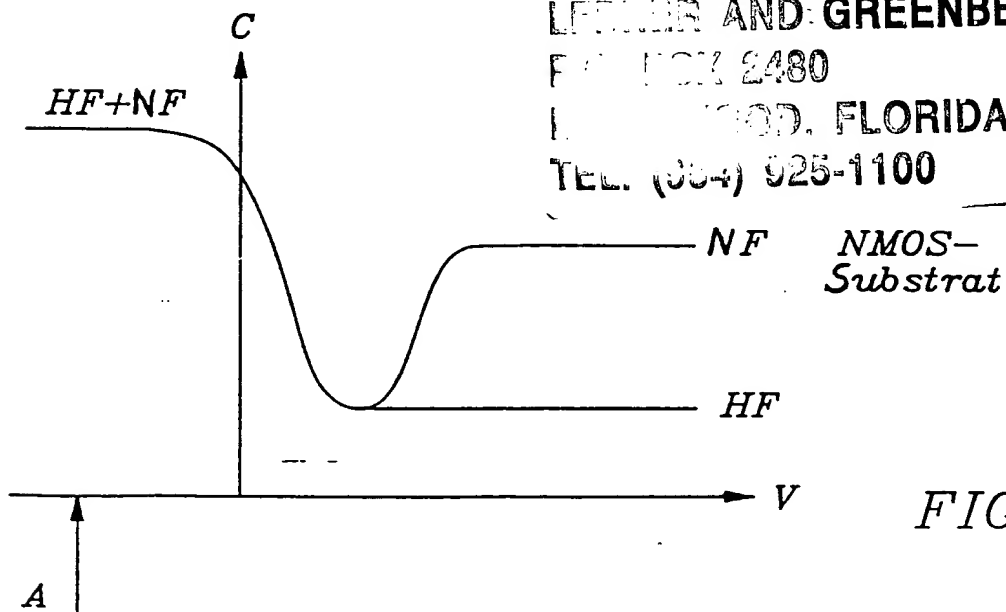


FIG 3